

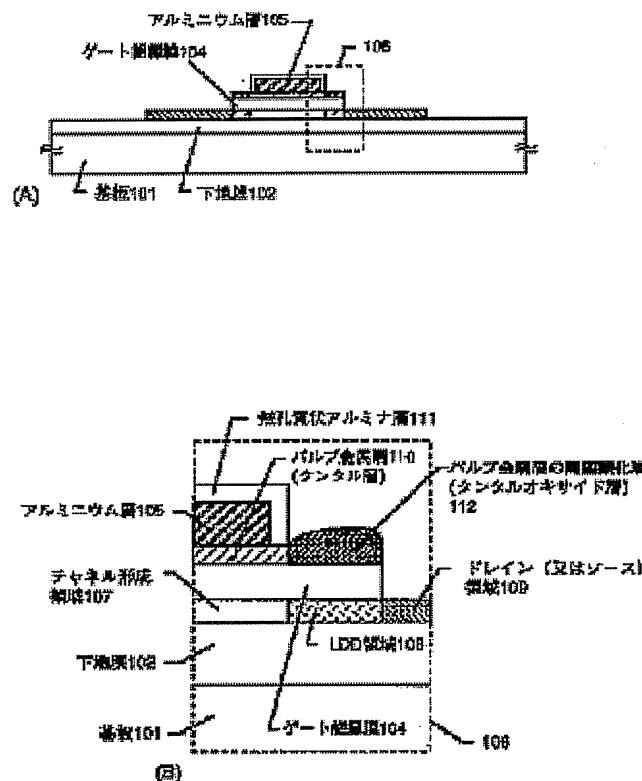
# SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

**Patent number:** JP11261075  
**Publication date:** 1999-09-24  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI; ONUMA HIDETO  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
 - international: **H01L29/786; H01L21/336; H01L29/66; H01L21/02;**  
 (IPC1-7): H01L29/786; H01L21/336  
 - european:  
**Application number:** JP19980082948 19980313  
**Priority number(s):** JP19980082948 19980313

Report a data error here

## Abstract of JP11261075

**PROBLEM TO BE SOLVED:** To provide a technique for realizing a TFT whose gate electrode is formed of aluminum material as well as keeping it high in yield. **SOLUTION:** A gate electrode is formed of a laminated film composed of a tantalum layer 110 and an aluminum layer 105, and then an active layer is doped with phosphorus and subjected to a thermal treatment carried out at temperatures of 450 to 700 deg.C for gettering impurity elements (mainly nicked). In this structure, the tantalum layer 110 serves as a stopper, and aluminum atoms can be prevented from penetrating into a gate insulating film even in a temperature range of 450 to 700 deg.C. The edge of the tantalum layer 110 becomes a tantalum oxide 112 and has an effect to lessen damage inflicted on a gate insulating film due to implantation of ions when an LDD region is formed.



Data supplied from the esp@cenet database - Worldwide

**Family list**7 family members for: **JP11261075**

Derived from 6 applications

- 1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** YAMAZAKI SHUNPEI; FUKUNAGA KENJI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L21/336; H01L29/786; H01L21/02 (+)  
**Publication info:** JP11177105 A - 1999-07-02
- 2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** OTANI HISASHI; ADACHI HIROKI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L23/52; H01L21/3205; H01L29/786 (+5)  
**Publication info:** JP11261074 A - 1999-09-24
- 3 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI; **Applicant:** SEMICONDUCTOR ENERGY LAB (+1)  
**EC:** **IPC:** H01L29/786; H01L21/336; H01L29/66 (+)  
**Publication info:** JP11261075 A - 1999-09-24
- 4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** FUJIMOTO ETSUKO; OTANI HISASHI; **Applicant:** SEMICONDUCTOR ENERGY LAB (+1)  
**EC:** **IPC:** H01L29/786; H01L21/336; H01L29/66 (+)  
**Publication info:** JP11261076 A - 1999-09-24
- 5 Semiconductor device and method of manufacturing the semiconductor device**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+6)  
**Publication info:** US6369410 B1 - 2002-04-09
- 6 Semiconductor device and method of manufacturing the semiconductor device**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+5)  
**Publication info:** US6613614 B2 - 2003-09-02  
US2002096681 A1 - 2002-07-25

---

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261075

(43) 公開日 平成11年(1999) 9月24日

(51) Int. Cl. <sup>6</sup>

H01L 29/786

21/336

識別記号

F I

H01L 29/78

627 G

616 A

616 M

617 V

618 G

審査請求 未請求 請求項の数15 F D (全21頁)

(21) 出願番号 特願平10-82948

(22) 出願日 平成10年(1998) 3月13日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半

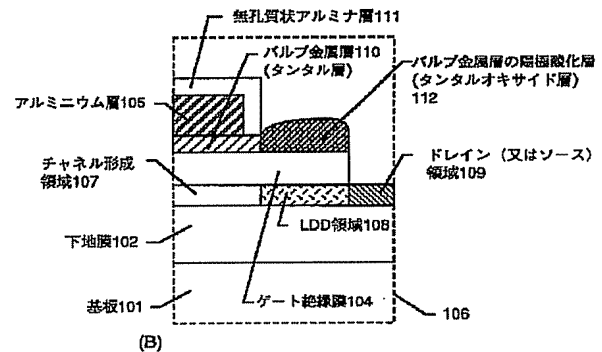
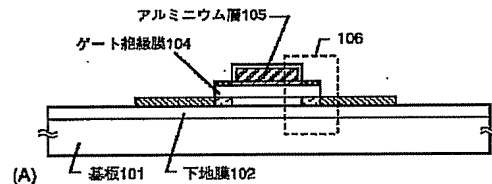
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 ゲート電極としてアルミ材料を用いたT F Tを高い歩留りで実現するための技術を提供する。

【解決手段】 ゲート電極をタンタル層110とアルミニウム層105との積層膜で形成した後、活性層にリン元素をドーピングして450℃～700℃の熱処理を加えることにより、不純物元素（主にニッケル）のゲッタリングを行う。この構造ではタンタル層110がストッパーとなり、450℃～700℃の温度範囲であってもアルミニウム原子がゲート絶縁膜中へ侵入するのを防ぐことができる。また、タンタル層110の端部はタンタルオキサイド112となり、LDD領域を形成する上でゲート絶縁膜へのイオン注入ダメージを低減する効果を持つ。



## 【特許請求の範囲】

【請求項 1】同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置であって、前記 T F T は、バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲート電極と、前記ゲート電極と接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャネル形成領域と、前記チャネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記ソース領域または前記ドレイン領域には珪素の結晶化を助長する金属元素が高濃度に含まれており、前記高抵抗領域には前記金属元素が低濃度に含まれていることを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記ソース領域または前記ドレイン領域にはリン元素がドーピングされていることを特徴とする半導体装置。

【請求項 3】請求項 1 または 2 において、前記バルブ金属層はタンタルまたはタンタルを主成分とする材料層からなり、その膜厚は 1 ~ 200 nm であることを特徴とする半導体装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれかにおいて、前記珪素の結晶化を助長する金属元素はニッケルであることを特徴とする半導体装置。

【請求項 5】同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を含む結晶性珪素膜を用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、

バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、

前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に陽極酸化して多孔質状アルミナ層を形成する第 4 の工程と、

再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するバルブ金属層の全部又は一部を陽極酸化層に変成させる第 5 の工程と、

T F T のソース領域またはドレイン領域となるべき領域にリン元素のドーピングを行う第 6 の工程と、加熱処理を施し、前記金属元素をゲッタリングさせる第 7 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 6】請求項 5 において、前記第 7 の工程における加熱処理は 4 5 0 ~ 7 0 0 °C で行うことを特徴とする半導体装置の作製方法。

【請求項 7】同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を含む結晶性珪素膜を

用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、

バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、

前記アルミニウムまたはアルミニウムを主成分とする材料層のみを選択的に第 1 の陽極酸化を行い、多孔質状アルミナ層を形成する第 4 の工程と、

第 2 の陽極酸化を行い、前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するバルブ金属層の一部を陽極酸化層に変成させる第 5 の工程と、前記多孔質状アルミナ層を除去する第 6 の工程と、

第 3 の陽極酸化を行い、前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するバルブ金属層の全部を陽極酸化層に変成させる第 7 の工程と、

前記ゲート電極、陽極酸化層及びゲート絶縁膜をマスクとしてリン元素をドーピングする第 8 の工程と、加熱処理を施し、前記金属元素をゲッタリングさせる第 9 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 8】請求項 5 乃至請求項 7 のいずれかにおいて、前記無孔質状アルミナ層及び前記多孔質状アルミナ層をマスクとしてゲート絶縁膜をエッチングする工程を有することを特徴とする半導体装置の作製方法。

【請求項 9】請求項 5 乃至請求項 8 のいずれかにおいて、前記第 4 の工程はシュウ酸を主成分とする溶液中で行われることを特徴とする半導体装置の作製方法。

【請求項 1 0】請求項 5 乃至請求項 9 のいずれかにおいて、前記第 5 の工程は酒石酸を主成分とする溶液中で行われることを特徴とする半導体装置の作製方法。

【請求項 1 1】請求項 7 乃至請求項 9 のいずれかにおいて、前記第 9 の工程における加熱処理は 4 5 0 ~ 7 0 0 °C で行うことを特徴とする半導体装置の作製方法。

【請求項 1 2】同一基板上に形成された複数の N チャネル型 T F T と複数の P チャネル型 T F T を有する半導体回路を含む半導体装置であって、

前記 N チャネル型 T F T と前記 P チャネル型 T F T は、バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲート電極と、前記ゲート電極と接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャネル形成領域と、前記チャネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記 N チャネル型 T F T 及び前記 P チャネル型 T F T の前記ソース領域または前記ドレイン領域にはリン元素が含まれ、前記 P チャネル型 T F T のソース領域またはドレイン領域には、P 型の

導電性を付与する不純物が前記リン元素の濃度と比較して高濃度含まれていることを特徴とする半導体装置。

【請求項 1 3】同一基板上に形成された複数の N チャネル型 T F T と複数の P チャネル型 T F T を有する半導体回路を含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を含む結晶性珪素膜を用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、

バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、

前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に陽極酸化して多孔質状アルミナ層を形成する第 4 の工程と、

再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するバルブ金属層の全部又は一部を陽極酸化層に変成させる第 5 の工程と、

前記 N チャネル型 T F T 及び前記 P チャネル型 T F T のソース領域またはドレイン領域となるべき領域にリン元素のドーピングを行う第 6 の工程と、

加熱処理を施し、前記金属元素をゲッタリングさせる第 7 の工程と、

前記 P チャネル型 T F T のソース領域またはドレイン領域となるべき領域に P 型の導電性を付与する不純物のドーピングを前記リン元素の濃度と比較して高濃度に行う第 6 の工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 1 4】同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置であって、

前記 T F T は、アルミニウムまたはアルミニウムを主成分とする材料層からなるゲート電極と、前記ゲート電極と接するブロッキング層と、前記ブロッキング層に接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャンネル形成領域と、前記チャンネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記ソース領域または前記ドレイン領域には珪素の結晶化を助長する金属元素が高濃度に含まれており、前記高抵抗領域には前記金属元素が低濃度に含まれていることを特徴とする半導体装置。

【請求項 1 5】請求項 1 4 において、前記ブロッキング層は、窒化酸化珪素膜、窒化珪素膜、酸化珪素膜、またはそれらの積層であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本願発明は半導体薄膜を利用した薄膜トランジスタ（以下、T F T と略記する）の構造及びその作製方法に関する技術である。

【0 0 0 2】

【従来の技術】近年、絶縁性を有する基板上に形成された T F T でもって画素マトリクス回路及び駆動回路を構成したアクティブマトリクス型液晶表示装置（以下、A M L C D と略記する）が注目を浴びている。

【0 0 0 3】絶縁性を有する基板としては、工業上の点から石英基板のような高価な基板を用いるより、安価なガラス基板を用いることが望まれている。

【0 0 0 4】このような A M L C D は 0.5 ~ 2 インチ程度のプロジェクター向けのものから 10 ~ 20 インチ程度のノートパソコン向けのものまであり、主に小型から中型までの表示ディスプレイとして利用されている。

【0 0 0 5】A M L C D が中型化すると画像表示部となる画素マトリクス回路の面積は大きくなり、ソース配線やゲート配線等が長くなる。さらに微細化のため配線幅を細くする必要から、配線抵抗の増大が問題になっている。また、ソース配線やゲート配線等の配線には、画素毎に T F T が接続され、大きな寄生容量が接続される。従って、一般的にはゲート配線とゲート電極は同時に形成されているため、パネルの面積化にともないゲート信号の遅延も問題となっていた。

【0 0 0 6】そのため、配線としてアルミニウムまたはアルミニウムを主成分とする材料（以下、アルミニウム材料と略記する）を用いることが有力視されている。アルミニウム材料は、低抵抗性という長所を有している一方、耐熱性が低いという短所を有している。

【0 0 0 7】また、T F T の活性層としては、非晶質珪素膜よりも移動度の高い結晶性珪素膜を用いることが有力視されている。従来、加熱処理により結晶性珪素膜を得るには、高い歪点を有する石英基板を用いる必要があった。

【0 0 0 8】そこで、本出願人らは、非晶質珪素膜に微量の金属元素を導入し、しかる後に加熱処理を行うことにより結晶化珪素膜を得る技術（特開平 6 - 2 3 2 0 5 9 号公報、特開平 7 - 3 2 1 3 3 9 号公報）を開発した。結晶化を助長する金属元素としては、F e、C o、N i、R u、R h、P d、O s、I r、P t、C u、A u から選ばれた一種または複数種類のものを用いている。この技術を用いることにより、ガラス基板が耐えるような温度でのプロセス（低温プロセス）で結晶性珪素膜を作製することが可能となった。

【0 0 0 9】しかし、この技術の問題点は、結晶化に利用した金属元素が結晶性珪素膜中に残留することであり、T F T の素子特性（特に信頼性、均一性等）に悪影響を及ぼしていた。そこで、さらに、本出願人らは、アルミニウム材料を用いた配線を形成後、結晶性珪素膜中の金属元素をゲッタリングする技術（特願平 8 - 3 3 0 6 0 2 号公報）も開発した。

【0 0 1 0】しかしながら、上記ゲッタリング技術では、耐熱性が低いアルミニウム材料を配線に用いているため、温度範囲（約 3 0 0 ~ 4 5 0 ℃）内での加熱処理

にとどまっていた。

【0011】また、上記温度範囲は、結晶性珪素膜中の金属元素を十分にゲッタリングする温度としては低いため、長時間の処理時間を必要としていたが、アルミニウム材料の耐熱性が低いため長時間の加熱は避けられていた。また、温度範囲（約300～450℃）の加熱処理であってもアルミニウム原子がゲート絶縁膜中に拡散してチャンネル形成領域に到達し、TFTの動作不良やTFT特性の低下を引き起こしていた。

【0012】また、同様に、上記温度範囲の加熱処理であっても、熱処理によりアルミニウム材料から生ずるヒロック、ウィスカ等突起物がゲート絶縁膜を突き抜けてチャンネル形成領域へ到達して、TFTの動作不良を起こしていた。

【0013】加えて、同様に、上記温度範囲の加熱処理であっても、ゲート絶縁膜にピンホールが存在し、熱処理の際にアルミニウム原子が流動してピンホール内に入り込み、チャンネル形成領域へ到達してしまっていた。

【0014】このように、TFT（配線としてアルミニウム材料使用）の動作不良の要因として、様々な要因が考えられるが、主に加熱処理（300℃以上）によりゲート電極／チャンネル形成領域間においてショート（短絡）が生じている可能性が高いことに着目した。

【0015】

【発明が解決しようとする課題】本願発明はゲート電極としてアルミニウム材料を用いたTFTを高い歩留りで実現するための技術を提供することを課題とする。

【0016】そのために、ゲート電極と活性層（特にチャンネル形成領域）とのショートを防ぐための技術を提供することを課題とする。また、アルミニウム材料を用いた配線を形成後、加熱処理を加えた場合において、アルミニウム原子がゲート絶縁膜中に拡散しないTFTの作製方法を提供することを課題とする。

【0017】

【課題を解決するための手段】本明細書で開示する発明の第1の構成は、同一基板上に形成された複数のTFTを有する半導体回路を含む半導体装置であって、前記TFTは、バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲート電極と、前記ゲート電極と接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャンネル形成領域と、前記チャンネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記ソース領域または前記ドレイン領域には珪素の結晶化を助長する金属元素が高濃度に含まれており、前記高抵抗領域には前記金属元素が低濃度に含まれていることを特徴とする半導体装置。

【0018】本願発明の主旨は、従来アルミニウム材料のみで構成されていたゲート電極をタンタル／アルミ積層膜（タンタルが下層）とすることでアルミニウム原子

がゲート絶縁膜中へと侵入するのを防ぐことにある。即ち、下層に設けられたタンタル層を耐熱性の低いアルミニウム原子のブロッキング層として利用する。このような構成とすることで配線形成後、300℃以上、好ましくは450℃以上の加熱処理を施すことが可能となった。

【0019】そこで、本発明は、配線形成後、ソース領域またはドレイン領域にリン元素をドーピングして、450℃以上の加熱処理を施し、結晶性珪素膜中の金属元素を低減させることを特徴としている。こうしてチャンネル形成領域における金属元素の濃度は、 $1 \times 10^{17}$  atoms/cm<sup>3</sup>、代表的にはSIMSの検出不可能なレベル、 $1 \times 10^{18}$  atoms/cm<sup>3</sup> 程度まで低減されていると推測される。一方、ソース領域またはドレイン領域の金属元素の濃度は、 $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以上、代表的には $1 \times 10^{19}$  atoms/cm<sup>3</sup> 以上である。なお、リン元素以外にも砒素、アンチモン等の他の15族元素を用いることも可能であるが、リン元素が最もゲッタリング効果が得られた。また、結晶化を助長する金属元素としてはニッケルを用いることが望ましい。

【0020】上記タンタル以外のブロッキング層としては、アルミニウムよりも耐熱性（融点等）が高い金属元素を主成分とする金属膜もしくは合金膜、または無機膜（窒化珪素膜、窒化酸化珪素膜、酸化珪素膜）を利用することが可能である。加えて、それらの積層膜を使用することも可能である。なお、好ましくは、バルブ金属と呼ばれるニオブ（Nb）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）等を用いることが望ましい。また、タンタルは、バルブ金属の一つである。

【0021】なお、タンタル層の膜厚はアルミニウム原子の移動に対して十分に障壁として機能しう程度に厚くしなければならない。本発明人らは、膜厚に関する実験を行い、その実験結果を図19に示した。図19は、アルミニウム層を用いた配線の形成後、550℃、2時間の処理を行った後の状態を観察した顕微鏡写真である。なお、減圧CVD法によるシリコン膜を活性層に用いた場合と、プラズマCVD法によるシリコン膜を活性層に用いた場合の両方で行った。

【0022】アルミニウム単層（タンタル層＝0nm）とした場合〔従来の構成〕の図19（a）には、アルミニウムが拡散している（しみだしている）ことが確認できた。また、アルミニウム積層（下層にタンタル層＝20nm、50nm）とした場合図19（b）、（c）には、アルミニウムが拡散しておらず、十分なブロッキング効果が得られていることが確認できた。本発明者らの知見では1nm厚以上、好ましくは5nm厚以上のタンタル層が必要である。これ以下ではブロッキング効果を期待できない。

【0023】また、上限としては400nm、好ましくは200nm程度と考えている。これ以上ではゲート電極のトー

タル膜厚を抑える（段差低減のため）ためにアルミニウム材料層を薄くしなければならず、アルミニウムの低抵抗性という特徴を活かすことができない。

【 0 0 2 4 】以上の事からタンタル層の膜厚は1 ~ 400 nm（好ましくは1 ~ 200 nm、さらに好ましくは5 ~ 50 nm）の範囲から選択することが好ましいと言える。

【 0 0 2 5 】なお、タンタル層等のバルブ金属層はアルミニウム層と同じ電解溶液で陽極酸化処理を行いやすいという特徴があり、さらに陽極酸化層の形成形態（酸化層の形成過程の進行方向など）もアルミニウム膜のそれに近いことから本願発明に用いるに好適な材料である。加えて、積層ゲート電極はそれぞれの陽極酸化膜で被覆する構成とすると、絶縁性が向上されると共に、耐熱性が向上する。

【 0 0 2 6 】また、他の発明の第 2 の構成は、同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を含む結晶性珪素膜を用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に陽極酸化して多孔質状アルミナ層を形成する第 4 の工程と、再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部又は一部をタンタルオキサイド層に変成させる第 5 の工程と、T F T のソース領域またはドレイン領域となるべき領域にリン元素のドーピングを行う第 6 の工程と、加熱処理を施し前記金属元素をゲッタリングさせる第 7 の工程とを有することを特徴とする。

【 0 0 2 7 】上記構成において、前記第 7 の工程における加熱処理は 4 5 0 ~ 7 0 0 ° C で行うことを特徴としている。

【 0 0 2 8 】また、他の発明の第 3 の構成は、同一基板上に形成された複数の T F T を有する半導体回路を含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を含む結晶性珪素膜を用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に第 1 の陽極酸化を行い、多孔質状アルミナ層を形成する第 4 の工程と、第 2 の陽極酸化を行い、前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の一部をタンタルオキサイド層に変成させる第 5 の工程と、前記多孔質状アルミナ層を除去

する第 6 の工程と、第 3 の陽極酸化を行い、前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部をタンタルオキサイド層に変成させる第 7 の工程と、前記ゲート電極、タンタルオキサイド層及びゲート絶縁膜をマスクとしてリン元素をドーピングする第 8 の工程と、加熱処理を施し、前記金属元素をゲッタリングさせる第 9 の工程と、を有することを特徴とする。

【 0 0 2 9 】上記構成において、前記無孔質状アルミナ層及び前記多孔質状アルミナ層をマスクとしてゲート絶縁膜をエッチングする工程を有することを特徴としている。

【 0 0 3 0 】上記構成において、前記第 4 の工程はシュウ酸を主成分とする溶液中で行われることを特徴としている。

【 0 0 3 1 】上記構成において前記第 5 の工程は酒石酸を主成分とする溶液中で行われることを特徴としている。

【 0 0 3 2 】上記構成において、前記第 9 の工程における加熱処理は 4 5 0 ~ 7 0 0 ° C で行うことを特徴としている。

【 0 0 3 3 】また、他の発明の第 4 の構成は、同一基板上に形成された複数の N チャネル型 T F T と複数の P チャネル型 T F T を有する半導体回路を含む半導体装置であって、前記 N チャネル型 T F T と前記 P チャネル型 T F T は、バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲート電極と、前記ゲート電極と接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャネル形成領域と、前記チャネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記 N チャネル型 T F T 及び前記 P チャネル型 T F T の前記ソース領域または前記ドレイン領域にはリン元素が含まれ、前記 P チャネル型 T F T のソース領域またはドレイン領域には、P 型の導電性を付与する不純物が前記リン元素の濃度と比較して高濃度含まれていることを特徴とする半導体装置である。

【 0 0 3 4 】また、他の発明の第 5 の構成は、同一基板上に形成された複数の N チャネル型 T F T と複数の P チャネル型 T F T で構成される半導体回路を構成に含む半導体装置の作製方法であって、珪素の結晶化を助長する金属元素を利用した結晶性珪素膜を用いて活性層を形成する第 1 の工程と、ゲート絶縁膜を形成する第 2 の工程と、バルブ金属層とアルミニウムまたはアルミニウムを主成分とする材料層とが順次積層形成されたゲート電極を形成する第 3 の工程と、前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に陽極酸化して多孔質状アルミナ層を形成する第 4 の工程と、再度の陽極酸化により前記アルミニウムまたはアルミニウムを主

成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するバルブ金属層の全部又は一部を陽極酸化層に変成させる第5の工程と、前記Nチャネル型TFT及び前記Pチャネル型TFTのソース領域またはドレイン領域となるべき領域にリン元素のドーピングを行う第6の工程と、加熱処理を施し、前記金属元素をゲッタリングさせる第7の工程と、前記Pチャネル型TFTのソース領域またはドレイン領域となるべき領域にP型の導電性を付与する不純物のドーピングを前記リン元素の濃度と比較して高濃度に行う第6の工程と、を有することを特徴とする半導体装置の作製方法である。

【0035】また、他の発明の第6の構成は、同一基板上に形成された複数のTFTを有する半導体回路を含む半導体装置であって、前記TFTは、アルミニウムまたはアルミニウムを主成分とする材料層からなるゲート電極と、前記ゲート電極と接するブロッキング層と、前記ブロッキング層に接するゲート絶縁膜と、前記ゲート絶縁膜に接するチャネル形成領域と、前記チャネル形成領域に接する高抵抗領域と、前記高抵抗領域に接するソース領域またはドレイン領域とを有し、前記ソース領域または前記ドレイン領域には珪素の結晶化を助長する金属元素が高濃度に含まれており、前記高抵抗領域には前記金属元素が低濃度に含まれていることを特徴とする半導体装置である。

【0036】上記第6の構成において、前記ブロッキング層は、窒化酸化珪素膜、窒化珪素膜、酸化珪素膜、またはそれらの積層であることを特徴としている。

【0037】

【発明の実施の形態】本願発明の実施形態について図1を用いて説明する。図1(A)は本願発明を利用したチャネル形成領域方向(キャリアが移動する方向)に沿ったTFTの断面図の一例である。なお、図1は、一つのTFTしか図示していないが、基板101上には複数のTFTで構成された半導体回路を形成している。ただし、ゲート電極を覆う層間絶縁膜やソース/ドレイン電極等は省略してある。

【0038】図1(A)において、101は基板、102は下地膜(絶縁性珪素膜)である。下地膜を設ける場合、基板101はガラス(結晶化ガラスも含む)、シリコンウェハ、セラミックス、石英などを用いることができる。石英を用いる場合には下地膜がなくても構わない。

【0039】また、TFTの活性層は、半導体薄膜(代表的には多結晶ポリシリコン膜)を島状にパターン形成して得られる。本願発明は活性層としてどのような半導体薄膜を用いても構わないが、特に結晶化を助長する金属元素(代表的にはニッケル元素)を用いて結晶化する技術(特開平6-232059号公報、特開平7-321339号公報等)を利用した結晶性珪素膜を用いた場合

に顕著な効果が得られる。

【0040】活性層の上にはゲート絶縁膜104を介してゲート電極が配置されている。ゲート電極はアルミニウム層105と、バルブ金属層(代表的にはタンタル層)との積層で構成され、アルミニウム材料の低抵抗性を活かして信号遅延の小さいTFTが実現される。本願発明はバルブ金属層がブロッキング層としての役目を果たしているため、300℃以上、好ましくは450℃以上の加熱処理が可能となった。

【0041】ここで106で示される点線で囲まれた領域の拡大図を図1(B)に示す。図1(B)に示す様に、活性層103はチャネル形成領域107、LDD(Lightly Doped Drain)領域108、ドレイン(又はソース)領域109で構成され、チャネル形成領域107及びLDD領域108上にゲート絶縁膜104が設けられている。厳密に言えば、チャネル形成領域とLDD領域の間にはオフセット領域が形成されているが、幅が小さいとオフセット効果はほとんど得られない。なお、本明細書中では、低濃度不純物領域(LDD領域を含む)やオフセット領域を高抵抗領域としている。

【0042】本発明において、LDD領域やオフセット領域等の高抵抗領域をチャネル形成領域に隣接して配置した構造において、ソース領域及びドレイン領域(少なくとも一方の領域)に、代表的にはリン元素をドーピングし、ゲッタリングサイトとする。そして、代表的には300~700℃、好ましくは450~600℃の加熱処理を施すことにより、チャネル形成領域及び高抵抗領域における金属元素濃度を、代表的にはSIMS(2次イオン分析方法)で $1 \times 10^{16} \text{ atoms/cm}^3$ 以下、好ましくはSIMSで $1 \times 10^{18} \text{ atoms/cm}^3$ 以下に低下させる。なお、リンのドーピング量としては $1 \times 10^{13} \text{ ions/cm}^2$ 以上であれば十分金属元素濃度(代表的にはニッケル)を $1 \times 10^{18} \text{ atoms/cm}^3$ 以下にまで低減できる。

【0043】上記加熱処理を加えると、高抵抗領域及びチャネル形成領域における金属元素濃度は、ソース領域及びドレイン領域における金属元素濃度よりも低減される。上記加熱処理後の結晶性珪素膜中における金属元素濃度の濃度分布と、結晶性珪素膜中におけるリン元素の濃度分布とを図18に示した。

【0044】また、上記加熱処理の温度が高いほど良好なゲッタリング効果が得られ、処理時間は長いほど好ましい。しかしながら、低温プロセスを生かすという本発明の目的を考慮すると、上限温度は700℃とすることが望ましく、製造工程のスループットを考慮すると、上限時間は24時間(好ましくは1~12時間、代表的には2~8時間)とすることが望ましい。

【0045】なお、Pチャネル型TFT(PTFT)を作製する場合、PTFTのソース及びドレイン領域には、リン元素がドーピングされ、さらに、リン元素の濃



度を越える濃度でP型の導電性を付与する不純物（代表的にはB（ボロン））がドーピングされる。

【0046】なお、ゲート絶縁膜104は酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_2$ ,  $\text{N}_2$  で表される）またはそれらの積層膜で構成される。

【0047】特に、窒化珪素膜はイオンブロッキング効果が高いのでゲート絶縁膜の一部として用いることは有効である。また、窒化酸化珪素膜は酸化珪素膜と窒化珪素膜の両者の物性を併せ持つためゲート絶縁膜として適している。

【0048】また、積層構造は二層に限らず複数層でも構わない。例えば、酸化珪素／窒化珪素／酸化珪素の三層構造からなる積層膜（ONO膜と呼ばれる）は信頼性が高いので本願発明のゲート絶縁膜として好適である。

【0049】また、ゲート電極はバルブ金属層（タンタル層）110、アルミニウム層105の順に積層され、陽極酸化処理によってアルミニウム層105の一部は無孔質状アルミナ層111となり、バルブ金属層（タンタル層）110の一部はバルブ金属層の陽極酸化層（タンタルオキサイド層）112となっている。

【0050】なお、上述の陽極酸化の際、アルミニウム層105及び無孔質状アルミナ層111と重ならないタンタル層のみが陽極酸化され、図1（B）に示す様に、アルミニウム層105の外側に突出した様な形でバルブ金属層の陽極酸化層（タンタルオキサイド層）が形成される。

【0051】また、ソース／ドレイン領域を形成する際はバルブ金属層の陽極酸化層（タンタルオキサイド層）112をマスクとして利用してその下の不純物濃度を意図的に低くし、LDD領域108を形成することができる。従って、ドレイン（又はソース）領域109とLDD領域108との接合部（ソース又はドレイン接合部）の位置は、バルブ金属層の陽極酸化層（タンタルオキサイド層）の端部（突出した端部）によって自己整合的に画定される。

【0052】以上の構成からなる本願発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0053】

【実施例】〔実施例1〕本願発明を利用したTFTの作製工程について図2を用いて説明する。なお、本実施例においては、Nチャネル型TFT（NTFT）を作製した例を示した。また、本願発明はゲート電極の形成からソース領域及びドレイン領域の形成までに特徴があり、その他の部分は公知の技術を利用できる。従って、本願発明は本実施例の作製工程に限定されるものではない。

【0054】まず、基板201としてガラス基板（コーニング1737；歪点＝667℃）を用意し、その上に下地膜202として酸化珪素（酸化シリコン）膜を200nm厚に形成した。そして、その上に公知の手段により膜

厚45nmの活性層203を形成した。活性層203の膜厚は10～100nm（好ましくは15～75nm、さらに好ましくは20～45nm）とする。（図2（A））

【0055】活性層203は、珪素の結晶化を助長する金属元素を用いて結晶性珪素膜を得る技術（特開平6-232059号公報、特開平7-321339号公報等）を用いた多結晶シリコン膜（ポリシリコン膜）を用いた。なお、本実施例では、結晶化を助長する金属元素としてニッケルを用いた。

10 【0056】こうして図2（A）の状態が得られたら窒化酸化珪素膜からなるゲート絶縁膜204を形成し、さらに50nm厚のタンタル層205、350nm厚のアルミニウム層206を順次積層形成した。なお、本実施例ではアルミニウム層206として2wt%のスカンジウムを含有させたアルミニウム層を利用した。

【0057】また、タンタル層205、アルミニウム層206は気相法（代表的にはスパッタリング法）で形成すれば良い。（図2（B））

20 【0058】次に、タンタル層205及びアルミニウム層206をドライエッチング法またはウェットエッチング法によりエッチングして後のゲート電極の原型となる積層パターン207を形成した。

【0059】ドライエッチング用のエッチングガスとしてはアルミニウム層のエッチングには塩素系ガス、タンタル層のエッチングにはフッ素系ガスという様に使い分ければ連続的に処理することが可能である。なお、タンタル層が50nm程度と薄い場合には塩素系ガスでアルミニウム層とタンタル層とを一括でエッチングできることが確認されている。（図2（C））

30 【0060】また、積層パターン207のパターニングにはレジストマスク（図示せず）を利用しているが、レジストマスクを形成する前にアルミニウム層の表面を薄い陽極酸化膜で覆っておくと密着性が向上する。

【0061】次に、レジストマスクを残したまま3%シュウ酸水溶液中で到達電圧8Vの陽極酸化処理を行い、600～800nm厚の多孔質状アルミナ層208を形成した。この溶液中ではタンタル層は陽極酸化されずに残り、アルミニウム層のみが選択的に陽極酸化された。（図2（D））

40 【0062】さらに、図示しないレジストマスクを除去した後、3%の酒石酸を含むエチレングリコール溶液中で到達電圧80Vの陽極酸化処理を行った。この処理ではアルミニウム層とタンタル層との両方が陽極酸化された。（図2（E））

【0063】タンタル層205の方は多孔質状アルミナ層208に接する部分だけが陽極酸化されてタンタルオキサイド層209を形成した。これはその部分だけが多孔質状アルミナ層208の内部を浸透してきた電解溶液に触れるためである。

50 【0064】また、アルミニウム層206の方はその表

面（多孔質状アルミナ層の内側）に100～120 nm厚の無孔質状アルミナ層 2 1 0 が形成された。無孔質状アルミナ層 2 1 0 の膜厚は到達電圧によって決定される。

【0 0 6 5】ここで、図 2 (E) に示す状態を示す SEM 写真を図 1 6 (A) に示した。なお、図 1 6 (A) は図 2 (E) の構造を実験的に再現したサンプルを 4 万倍に拡大した SEM 写真であり、多孔質状アルミナ層付近の様子を示している。

【0 0 6 6】また、図 1 6 (A) の模式図を図 1 6

(B) に示した。図 1 6 (B) において、1 0 は酸化珪素膜でなる下地、1 1 はタンタル層、1 2 はアルミニウム層、1 3 はタンタルオキサイド層、1 4 は無孔質状アルミナ層、1 5 は多孔質状アルミナ層である。

【0 0 6 7】図 1 6 (B) に示す様に、アルミニウム層 1 2 の表面は無孔質状アルミナ層 1 4 で覆われ、その外側に多孔質状アルミナ層 1 5 が形成されている。そして、タンタル層 1 1 の端部（多孔質状アルミナ層の下）にはタンタルオキサイド層 1 3 が形成されている。このタンタルオキサイド層は、後の工程で得られる LDD 領域を保護する役目を果たしている。

【0 0 6 8】なお、図 1 6 (A) に示す写真で見ると、タンタル層は陽極酸化処理によってタンタルオキサイド層に変成する際に約 2 倍程度に体積が膨張して、膜厚が 2 ～ 4 倍（代表的には 3 倍）程度に厚くなる様である。

【0 0 6 9】この様な構造が得られたら、次にゲート電極及び多孔質状アルミナ層をマスクとしてドライエッチング法によりゲート絶縁膜 2 0 4 のエッチングを行った。エッチングガスとしては CHF<sub>3</sub>、ガスを 55 sccm の流量で用い、圧力 55 mTorr、供給電力 800 W の条件で行った。

【0 0 7 0】この工程によりゲート絶縁膜 2 0 4 が自己整合的にエッチングされ、2 1 1 で示される様な島状のパターンに加工された。この時、ゲート絶縁膜の端部

(G I 端部) 2 1 2 はゲート電極よりも外側に突出した様な形で残った。また、後にソース／ドレイン領域となる活性層が露出した状態となる。

【0 0 7 1】このエッチング工程が終了したら、マスクとして利用した多孔質状アルミナ層 2 0 8 を 45℃ に保温したアルミ混酸（リン酸、酢酸、硝酸、水の混合液）溶液を用いて除去した。

【0 0 7 2】この時、多孔質状アルミナ層 2 0 8 とタンタルオキサイド層 2 0 9 の選択比が大きいので、タンタルオキサイド層 2 0 9 はエッチングされない。この様子は図 1 7 に示す SEM 写真からも明らかである。

【0 0 7 3】図 1 7 に示す SEM 写真は、図 1 6 (A) に示す状態から多孔質状アルミナ層 1 5 のみを除去した状態を示している。この写真からはタンタルオキサイド層がひさし状に残っていることが確認できる。

【0 0 7 4】こうして図 3 (A) の状態が得られたら、

1 回目の不純物イオン注入工程をイオンインプランテーション法またはプラズマドーピング法によって行った。なお、本実施例においては、N チャネル型 TFT (NTFT) を作製する例であり、N 型の導電性を付与する不純物イオンとして、P (リン) を用いた。いずれにせよ、このドーピング工程は、N 型の導電性を付与する不純物元素をイオン化し、それを電氣的に加速注入する方法であれば特に限定されない。まず、1 回目は加速電圧を 60 ～ 90 keV と高くして行った。ドーズ量は  $1 \times 10^{13} \sim 8 \times 10^{15} \text{ atoms/cm}^2$  とすればよい。(図 3 (B))

【0 0 7 5】この工程は加速電圧が高いためタンタルオキサイド層 2 0 9 と G I 端部 2 1 2 を通過して不純物イオンが注入される。即ち、G I 端部等で覆われた領域の下にも不純物が添加された。

【0 0 7 6】そして、この工程において G I 端部 2 1 2 の下に打ち込まれた不純物は後に LDD 領域の不純物濃度を決定することになる。従って、イオン注入時のドーズ量は LDD 領域が所望の濃度の不純物を含む様に実施者が最適値を設定する必要がある。本実施例では、ソース領域及びドレイン領域にはリンが  $1 \times 10^{20} \sim 8 \times 10^{21} \text{ atoms/cm}^3$  ほど注入された。また G I 端部 2 1 2 の下には  $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  の濃度で不純物元素（リン）が添加される様に調節した。

【0 0 7 7】以上に示した様な不純物イオン注入工程を行うことで、低濃度不純物領域 2 1 3、2 1 4 が形成される。リン元素のドーズ量は、被ドーピング領域をソース及びドレイン領域とする条件で行った。また、このドーピング濃度は、ゲッタリング後の金属元素（代表的にはニッケル）の濃度よりも大きくなる条件で行うことが好ましい。こうすることで、後の工程において、金属元素のゲッタリングをより効果的に行うことができる。

【0 0 7 8】この時、G I 端部 2 1 2 の上にはタンタルオキサイド層 2 0 9 が存在するため、イオン注入時のダメージが直接ゲート絶縁膜に到達しないという利点がある。即ち、ゲート絶縁膜中に余計なトラップ準位が発生するのを抑制できる。

【0 0 7 9】次に、5 ～ 10 keV と低い加速電圧で 2 回目のイオン注入工程を行った。この工程では加速電圧が低いため G I 端部 2 1 2 が完全にマスクとして機能する

（タンタルオキサイド層も存在するため特開平 7-135318 号公報記載の技術よりもマスク効果が向上している）。

【0 0 8 0】そのため、この工程では 2 1 5、2 1 6 で示される領域（ソース領域又はドレイン領域）のみに不純物イオンが添加される。本実施例では  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度でリンが添加される様に調節した。

【0 0 8 1】また同時に、G I 端部 2 1 2 の下には 1 回目のイオン注入工程で形成された不純物領域がそのまま残り、LDD 領域 2 1 7 となる。従って、ソース又はド

レイン領域 2 1 5、2 1 6 と L D D 領域 2 1 7 との接合部は G I 端部（タンタルオキサイド層の端部）によって画定する。

【0 0 8 2】さらに、1 回目と 2 回目の不純物イオン注入工程において全く不純物が注入されなかった領域 2 1 8 は、後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域となる。

【0 0 8 3】なお、真性とは電子と正孔が完全に釣り合って完全に中性な領域を指し、実質的に真性な領域とは、しきい値制御が可能な濃度範囲（ $1 \times 10^{15} \sim 1 \times 10^{17}$  atoms / cm<sup>3</sup>）で N 型または P 型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電型を相殺させた領域を指す。

【0 0 8 4】以上の様にしてソース及びドレイン領域へのイオン注入工程が終了したら、次に、不活性ガス雰囲気中において加熱処理を施す。

【0 0 8 5】従来（アルミニウム材料の単層）では、アルミニウム材料の耐熱性が低かったため短時間、且つ、4 5 0℃程度の加熱処理しか施せなかった。加えて、従来の構成では、4 5 0℃程度の加熱処理であってもアルミニウム原子がゲート絶縁膜や活性層に拡散している可能性が大きく、T F T 特性の低下、バラツキを招いている可能性が高かった。

【0 0 8 6】それに対して、本実施例は、下層に設けられたタンタル層を耐熱性が低く拡散し易いアルミニウム原子のブロッキング層として利用したため、長時間、且つ、4 5 0℃以上、好ましくは 5 0 0℃～6 5 0℃の加熱処理を施すことが可能となった。本実施例においては、窒素雰囲気中において、5 5 0℃、2 時間の加熱処理を施した。（図 4（A））

【0 0 8 7】上記加熱工程により、金属元素が図 4

（A）の矢印で示した方向に拡散する過程で、リン元素にゲッタリングされる。2 1 9 は金属元素を高濃度含むソース領域、2 2 0 は金属元素を高濃度含むドレイン領域である。その結果、チャネル形成領域及び高抵抗領域の金属元素濃度を低減することができた。なお、従来の温度範囲（3 0 0℃～4 5 0℃）は、ゲッタリングを行うのに不十分な温度であった。

【0 0 8 8】結晶化を助長する金属元素としてニッケルを用いた場合、リンとニッケルは、Ni P、Ni P<sub>2</sub>、Ni P<sub>3</sub>、・・・というような多様な化合物の形態をなす。また、その結合状態は極めて安定なものであるため、本実施例では、結晶化を助長するための金属元素としてニッケル、ゲッタリングのための元素としてリンを用いた。図 1 8 に、加熱処理後のニッケル元素とリン元素の分布状態を示した。

【0 0 8 9】また、上記加熱処理の段階において、不純物イオンの加速注入によって結晶性が破壊された領域 2 1 5、2 1 6、2 1 7 の結晶性の改善が進行する。これは、領域 2 1 5、2 1 6、2 1 7 にニッケル元素が集中

することに大きく関係する。即ち、ニッケル元素が集中した領域 2 1 9、2 2 0 は、それだけニッケル元素の作用による結晶化が強く促進され、リン元素のドーピング時に生じた結晶構造の損傷が回復される。

【0 0 9 0】加えて、上記加熱処理でゲッタリングと同時に、ソース領域 2 1 9 及びドレイン領域 2 2 0 における不純物の活性化が行われる。従来では、アルミニウム材料の耐熱性が低かったために 4 5 0℃程度の加熱処理しか施せなかったため、ドーパント（リン）の活性化率は低いものであった。

【0 0 9 1】従来では、イオン注入時に生じた結晶構造のダメージを回復する工程や不純物の活性化工程として別の工程（レーザーアニール、強光アニール等）を加え、施していた。なお、本実施例においても、加熱処理と同時に、表面または裏面照射のレーザーアニール、強光アニール等を行う構成としてもよい。または、別の工程として表面または裏面照射のレーザーアニール、強光アニール等を加え、さらに良好な活性層を得る構成としてもよい。

【0 0 9 2】即ち、本実施例におけるドーピング後の加熱工程では、

1）チャネル形成領域及び高抵抗領域の金属元素濃度を低減するゲッタリング処理

2）ソース及びドレイン領域における不純物の活性化処理

3）イオン注入時に生じた結晶構造のダメージを回復するアニール処理

が同時に行われる。

【0 0 9 3】次に、層間絶縁膜 2 2 1 を形成する。層間絶縁膜 2 2 1 としては酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、有機性樹脂膜またはそれらの積層膜を用いることができる。なお、有機性樹脂膜としてはポリイミド、ポリアミド、ポリイミドアミド、アクリル等が挙げられる。

【0 0 9 4】層間絶縁膜 2 2 1 を形成したら、コンタクトホールを形成してソース電極 2 2 2、ドレイン電極 2 2 3 を形成する。本実施例ではこれら電極材料としてチタン／アルミ／チタンからなる積層導電層を用いる。

【0 0 9 5】最後に水素雰囲気中において 3 5 0℃2 時間程度の水素化処理を行い、T F T 全体の水素終端処理を行う。こうして図 4（C）に示す様な構造の T F T が完成する。こうして作製された T F T は、ゲート電極とゲート絶縁膜との間にタンタル層が存在するため、作製途中の熱処理によってアルミニウム原子の拡散等を防ぐことができる。

【0 0 9 6】そのため、非常に高い歩留りで T F T を作製することが可能となり、同一基板上に百万個以上もの T F T を作製する A M L C D を作製においても高い良品率を確保することができる。そして、それに伴って液晶モジュールやそれを搭載した製品（電子機器）の製造コ

ストを低減することが可能である。

【0097】〔実施例2〕実施例1ではNTFTを作製する場合を例にとって説明したが、本願発明をPTFTに対して適用できることは言うまでもない。なお、簡略にPチャネル型TFT（PTFT）の作製工程及び条件の1例を以下に示す。

【0098】まず、リンイオンを注入したソース及びドレイン領域にP型の導電性を付与する不純物イオン（ボロン）を注入する。ドーピングガスとして、水素で5%に希釈されたジボランを用いる。加速電圧は60～90 kV、ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{15} \text{ atoms/cm}^2$ とする。なお、ソース及びドレイン領域に注入されたボロンの濃度の最大値からリンイオンの濃度の最大値を引いた濃度が $3 \times 10^{13} \sim 3 \times 10^{21} \text{ atoms/cm}^2$ となるようにドーズ量を調節することが重要である。この結果、ソース及びドレイン領域の導電型が反転してP型の不純物領域を形成することができる。なお、LDD領域の導電型も反転する工程としてもよい。

【0099】また、公知のCMOS技術を用いれば、NTFTとPTFTとを相補的に組み合わせたCMOS回路を構成することも容易である。

【0100】本実施例では同一基板上にCMOS回路で構成された駆動回路とNTFTで構成された画素マトリクス回路とを形成したアクティブマトリクス基板を作製した例を図5に示す。

【0101】図5において、NTFT501、PTFT502はCMOS回路503を構成している。前述の様に公知のCMOS技術を用いれば実施例1とほぼ同様の工程で容易に実現できる。

【0102】また、画素マトリクス回路を構成する画素TFT（本実施例ではNTFT）504は実施例1で説明した作製工程に多少の工程を足せば実現できる。

【0103】まず、実施例1の工程に従って図4（B）の構造を得る。次に、図5に示す様に第1の平坦化膜50を形成する。本実施例では窒化珪素（50nm）／酸化珪素（25nm）／アクリル（1 $\mu$ m）の積層構造を第1の平坦化膜として利用する。

【0104】なお、アクリルやポリイミドといった有機性樹脂膜はスピンコート法で形成する溶液塗布型絶縁膜なので厚い膜を容易に形成できる上、非常に平坦な面を得ることが可能である。そのため、1 $\mu$ m程度の膜厚を高いスループットで形成することが可能であり、良好な平坦面が得られる。

【0105】次に、第1の平坦化膜50上に遮光性導電膜でなるブラックマスク51を形成する。また、ブラックマスク51を形成するに先立って、第1の平坦化膜50をエッチングして、最下層の窒化珪素膜のみを残した凹部を形成しておく。

【0106】この様にしておくことで、凹部を形成した部分ではドレイン電極とブラックマスクとが窒化珪素膜

のみを介して近接し、そこで補助容量52を形成する。窒化珪素は比誘電率が高く、しかも膜厚が薄いので大容量を確保しやすい。

【0107】こうしてブラックマスク51を形成すると同時に補助容量52を形成したら、第2の平坦化膜53を1.5 $\mu$ m厚のアクリルで形成する。補助容量52を形成した部分は大きな段差を生じるが、その様な段差も十分に平坦化できる。

【0108】最後に、第1の平坦化膜50及び第2の平坦化膜53にコンタクトホールを形成し、透明導電膜（代表的にはITO）からなる画素電極54を形成する。こうして図5に示す様な画素TFT504を作製することができる。

【0109】なお、画素電極として反射性の高い導電膜、代表的にはアルミニウムまたはアルミニウムを主成分とする材料を用いれば、反射型AMLCD用のアクティブマトリクス基板を作製することもできる。

【0110】また、図5では画素TFTのゲート電極をダブルゲート構造としているが、シングルゲート構造でも良いし、トリプルゲート構造等のマルチゲート構造としても構わない。

【0111】また、アクティブマトリクス基板の構造は本実施例の構造に限定されるものではない。本願発明の特徴はゲート電極の構成にあるので、それ以外の構成については実施者が適宜決定すれば良い。

【0112】〔実施例3〕本実施例では、実施例1と異なる工程でLDD領域を形成する場合の例について図6を用いて説明する。なお、本実施例の構成を実施例2の構成に利用することは可能である。

【0113】まず、実施例1と同様の工程に従って図2（D）の状態を得る。そして、多孔質状アルミナ層208を選択的に除去して図6（A）の状態を得る。この状態ではタンタルオキサイド層209が露出する。

【0114】次に、高加速電圧による不純物イオンの注入工程を行う。この工程は実施例1で説明した様に後のLDD領域を形成するための工程である。従って、低濃度不純物領域601、602の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ 程度となる様に調節する。

【0115】なお、実施例1で説明した図3（B）に示す工程と図6（B）に示す工程とは後のソース／ドレイン領域上におけるゲート絶縁膜の有無が異なるのみである。本実施例の場合、活性層には全てゲート絶縁膜を介したスルードープによって不純物イオンが注入される。

【0116】スルードープの利点としては工程の短縮化（ゲート絶縁膜のエッチング工程を省略できる）と活性層に直接イオン注入時のダメージを与えない点にある。

【0117】次に、図6（C）に示す様に低加速電圧による不純物イオンの注入工程を行う。この工程ではタンタルオキサイド層609の存在する領域がマスクとして機能するのでその下には前述の低濃度不純物領域が残

る。

【0118】その結果、ソース領域603、ドレイン領域604、LDD領域605、チャネル形成領域606が形成される。この場合もLDD領域605の上にはタンタルオキサイド層209が存在するため、その部分ではGIの受けるイオン注入時のダメージが低減される。

【0119】その後は、実施例1と同様に加熱処理（550℃、2時間）を行い、チャネル形成領域及び高抵抗領域における金属元素の低減とドーパントの活性化と結晶構造の回復の効果が同時に得られる。（図6（D））

【0120】そして、実施例1と同様に層間絶縁膜607、ソース電極608、ドレイン電極609を形成して、最後に水素化工程を行うことで図6（E）に示す様なTFTが完成する。

【0121】〔実施例4〕本実施例では実施例1において、LDD領域の代わりにオフセット領域を設けた場合の例について図7を用いて説明する。

【0122】まず、実施例1の工程に従って図3（A）と同様の状態を得る。そして、実施例1に示した1回目の不純物イオン注入工程は行わず、図3（C）を用いて

説明した様な低加速電圧によるイオン注入工程を行う。（図7（A））

【0123】この注入工程ではタンタルオキサイド層及びゲート絶縁膜がマスクとして機能するので $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>2</sup>の濃度の不純物（リン）を含むソース領域701、ドレイン領域702が形成される。

【0124】また、603で示される領域は不純物（リン）イオンが添加されないで真性または実質的に真性な状態を保持し、且つ、ゲート電圧が印加されないので単なる高抵抗領域として機能する。この様な領域703をオフセット領域と呼ぶ。

【0125】実施例1～3で示したLDD領域がドレイン接合部における電界緩和に効果があるのに対し、オフセット領域はむしろオフ電流（TFTがオフ時に流れる電流）またはリーク電流の低減に効果がある。

【0126】この場合においてもタンタルオキサイド層209がゲート絶縁膜がイオン注入時に受けるダメージの低減という効果を有している。

【0127】以上の様にしてソース及びドレイン領域へのイオン注入工程が終了したら、次に実施例1と同様に、不活性ガス雰囲気中において加熱処理を施す。本実施例では、温度600℃、12時間の加熱処理を施した。この加熱工程により、金属元素が図7（B）の矢印で示した方向に拡散する過程で、703、704をゲッタリングサイトとしてリンにゲッタリングされる。その結果、チャネル形成領域及び高抵抗領域の金属元素濃度を低減することができた。

【0128】その後は、実施例1と同様に層間絶縁膜707、ソース電極708、ドレイン電極709を形成して、最後に水素化工程を行うことでTFTが完成する。

（図7（C））

【0129】加えて、本実施例では、不純物イオン注入工程を1回のみとしたため、スループットを向上させることができた。また、本実施例の低加速電圧によるイオン注入工程に代えて、高加速電圧によるイオン注入工程を行う工程としても、スループットを向上させることができる。ただし、不純物イオンのドーズ量は、ソース領域及びドレイン領域として機能するよう調節する。

【0130】また、ゲート絶縁膜を活性層全面に残して、リンのスルードープを1回施し、ソース領域、ドレイン領域を形成し、加熱処理を行う工程を施す構成としてもよい。

【0131】なお、本実施例を実施例2の構成に適用することは容易である。

【0132】〔実施例5〕本実施例では、実施例1と異なる工程でTFTを形成する場合の例について図8～10を用いて説明する。なお、本実施例の構成を実施例2の構成、及び実施例4の構成に利用することは可能である。

【0133】まず、実施例1とは図2（D）の状態の工程までは同一であるためその記載は省略する。なお、図2（D）は図8（D）と対応している。そして、絶縁膜204を選択的に除去して図8（E）の状態を得る。この状態ではゲート絶縁膜811に接していない活性層203の領域が露出する。

【0134】次に、3%の酒石酸を含むエチレングリコール溶液中で到達電圧10～20Vの陽極酸化処理を行う。この処理ではアルミニウム層とタンタル層との両方が陽極酸化され、膜厚の薄い陽極酸化膜が形成される。

（図9（A））

【0135】タンタル層205の方は多孔質状アルミナ層208に接する部分だけが陽極酸化されて薄いタンタルオキサイド層809aを形成する。

【0136】また、アルミニウム層206の方はその表面（多孔質状アルミナ層の内側）に10～30nmの膜厚の薄い無孔質状アルミナ層810aが形成される。無孔質状アルミナ層810aの膜厚は到達電圧によって決定される。

【0137】そして、多孔質状アルミナ層208を選択的に除去して図9（B）の状態を得る。この状態ではタンタル層が露出する。

【0138】次に、再度、3%の酒石酸を含むエチレングリコール溶液中で到達電圧80Vの陽極酸化処理を行う。この処理ではアルミニウム層とタンタル層との両方が陽極酸化され、膜厚の厚い陽極酸化膜810b、809bが形成される。（図9（C））

【0139】このように、本実施例では3回の陽極酸化を行うが、3回目の陽極酸化を行う際に、タンタル層を露出させ、タンタルオキサイド層に変成し易くして、膜厚が2～4倍（代表的には3倍）程度に厚くすることを

特徴としている。

【0140】このような構成として、後のLDD領域の上方に存在しているタンタル層を完全にタンタルオキサイド層(809b)に変成し、TFTとして正常な動作を行う構造とすることが好ましい。

【0141】次に、図9(D)に示す様に高加速電圧による不純物イオンの注入工程を行う。この工程は実施例1で説明した様に後のLDD領域を形成するための工程である。従って、低濃度不純物領域813、814の不純物(リン元素)濃度は $1 \times 10^{16} \sim 1 \times 10^{17}$  atoms/cm<sup>3</sup> 10 程度となる様に調節する。

【0142】次に、図9(E)に示す様に低加速電圧による不純物イオンの注入工程を行う。本実施例では $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度でリンがソース領域又はドレイン領域に添加される様に調節した。この工程ではタンタルオキサイド層809bの存在する領域がマスクとして機能するのでその下には前述の低濃度不純物領域が残る。

【0143】その結果、ソース領域815、ドレイン領域816、LDD領域817、チャネル形成領域818 20 が形成される。この場合もLDD領域817の上にはタンタルオキサイド層809bが存在するため、その部分ではGIの受けるイオン注入時のダメージが低減される。なお、図18と同様の濃度分布が得られた。

【0144】その後は、実施例1と同様に加熱処理(550℃、2時間)を行い、ゲッタリングと同時に活性化と結晶構造の回復を行う。(図10(A))なお、819は高濃度の金属元素を含むソース領域、820は高濃度の金属元素を含むドレイン領域である。

【0145】そして、実施例1と同様に層間絶縁膜82 30 1、ソース電極822、ドレイン電極823を形成して、最後に水素化工程を行うことで図10(B)に示す様なTFTが完成する。

【0146】また、他の構成としてゲート絶縁膜を活性層全面に残して、ソース領域、ドレイン領域を形成し、加熱処理を行う工程を施す構成としてもよい。

【0147】〔実施例6〕本実施例では、石英基板を用い、該基板上に特開平8-335152号公報の技術を用いた結晶性珪素膜を利用した例を示す。なお、前記公報では、結晶性珪素膜を得る段階でゲッタリングを行っ 40 ている。

【0148】また、前記公報では、歪点の高い石英基板を用いた作製方法においても、アルミニウム材料を用いた配線形成後、アルミニウム材料の耐熱性を考慮した温度での熱処理に制限されていた。それに対し、本発明の構造(アルミニウム材料/タンタル層)とすることで、配線形成後、450℃~700℃、好ましくは600℃程度の加熱処理を施すことが可能となった。

【0149】本実施例では、結晶性珪素膜を形成する過程において、ゲッタリングが既に行われているが、配線 50

形成後、リン元素のドーピングされたソース領域及びドレイン領域に不純物の活性化熱処理(600℃程度)を数時間(2~3時間)施した。

【0150】こうすることにより、不純物の活性化と、結晶構造の回復が行われ、より均一性の高いTFTを得ることができた。なお、不純物の活性化と、結晶構造の回復と同時に2回目のゲッタリングが施された。

【0151】その後は、実施例1と同様に層間絶縁膜、ソース電極、ドレイン電極を形成して、最後に水素化工程を行うことでTFTが完成する。

【0152】なお、本実施例の構成を実施例2の構成に利用することは可能である。

【0153】また、他の構成としてゲート絶縁膜を活性層全面に残して、ソース領域、ドレイン領域を形成し、加熱処理を行う工程を施す構成としてもよい。

【0154】〔実施例7〕本実施例では、上記各実施例で示した2層ゲート電極構造(アルミニウム材料層/タンタル層)とした配線を形成し、リンをドーピングし、加熱処理を加えた工程〔代表的には図4(A)〕後、シリサイド層を構成した例を図11に示した。以下に、簡単に作製方法を記す。

【0155】まず、上記各実施例と同様にしてソース領域及びドレイン領域を得る。次に、シリコンとシリサイド反応する金属膜を成膜する。この金属膜としては、500~600℃程度の加熱温度でシリサイド反応する金属膜であればよく、例えばTa、Cr、Mn、Nb、Mo、Tiのいずれか一種の金属膜を用いることができる。金属膜は活性層のうち、ソース領域及びドレイン領域のみと接している。

【0156】加熱処理(450~700℃)によって、接しているシリコンと金属膜が反応して、シリサイド層232、233が形成される。なお、ソース領域及びドレイン領域を全てシリサイド化してもよい。

【0157】その後、未反応の金属膜をエッチングにより除去する。この時ゲート絶縁膜は、陽極酸化膜で保護されている。なお、加熱処理は電気炉内での加熱や赤外線ランプを用いたRTAを用いればよい。本実施例においては、シリサイド層を設けたことで、ソース領域及びドレイン領域のシート抵抗の低抵抗化が図れた。

【0158】その後は、実施例1と同様に層間絶縁膜、ソース電極、ドレイン電極を形成して、最後に水素化工程を行うことでTFTが完成する。

【0159】また、他の構成として、リンをドーピングした直後に、金属膜を成膜し、450℃~700℃の加熱処理を加える構成としてもよい。この場合には、リンのゲッタリングとシリサイド化とを同時に行い、工程を短縮化することができる。

【0160】〔実施例8〕本実施例では、上記各実施例で示した2層ゲート電極構造(アルミニウム材料層/タンタル層)とした配線を形成し、リンをドーピングして

加熱処理を加えた工程後において、引き出し配線とのコンタクト形成方法を例示する。

【0161】従来のゲート電極構造（アルミニウム材料単層）では、無孔質アルミナ層を除去するために、アルミ混酸（リン酸、酢酸、硝酸、水を体積%で85:5:5:5の比で混合した酸）とクロム酸溶液とを混合した酸（ここではクロム混酸と呼ぶ）を用いている。クロム混酸を用いた場合には、下地膜を構成する酸化珪素膜との選択比がとれず、下地膜までエッチングされていた。なお、クロム混酸とは、上記のアルミ混酸10リットルに対してクロム酸溶液（クロム酸300g、水150gを混合した溶液）550gを混合した酸である。

【0162】本実施例では、図12に示したような2層ゲート電極構造としたことにより、タンタル層205をエッチングストッパーとして利用し、コンタクトホールを形成した。そして、引き出し配線224を形成して、コンタクトホールの底面に露出したタンタル層と良好なコンタクトを取ることができた。なお、図12では、活性層上にコンタクトホールを形成した例を示したが、2層構造ゲート配線と引き出し配線とのコンタクトであれば特に限定されない。

【0163】〔実施例9〕上記各実施例では、ゲート電極において、下層のブロッキング層として、タンタル層を用いた例を示したが、本実施例においては、タンタル層の代わりに、ブロッキング効果の高い窒化珪素膜を用いた。なお、図13に本実施例の構造を示した。

【0164】窒化珪素膜を用いる場合には、窒化珪素膜はアルミニウム層との界面でストレスが発生し易いため、窒化珪素膜230とアルミニウム層との界面には窒化酸化珪素膜231を成膜するとよい。

【0165】本実施例では、厚さ5～30nmの窒化珪素膜230と、厚さ1～10nmの窒化酸化珪素膜231でなる積層膜を設ける構成とした。

【0166】積層膜を得た後は、上記各実施例と同様に層間絶縁膜、ソース電極、ドレイン電極を形成して、最後に水素化工程を行うことでTFTが完成する。

【0167】〔実施例10〕本実施例では実施例1～9に示したTFT構成を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図14に示す。

【0168】図14（A）において、901はアクティブマトリクス基板であり、画素マトリクス回路902、ソース側駆動回路903、ゲート側駆動回路904が形成されている。駆動回路はN型TFTとP型TFTとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、905は対向基板である。

【0169】図14（A）に示すAMLCDはアクティブマトリクス基板901と対向基板905とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板905を取り除き、露出したアクティブマトリクス

基板に対してFPC（フレキシブル・プリント・サーキット）906を接続してある。このFPC906によって外部信号を回路内部へと伝達する。

【0170】また、FPC906を取り付ける面を利用してICチップ907、908が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 $\gamma$ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図14（A）では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0171】また、図14（B）の様な構成もとりうる。図14（B）において図14（A）と同一の部分は同じ符号を付してある。ここでは図14（A）でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路909によって行う例を示している。この場合、ロジック回路909も駆動回路903、904と同様にCMOS回路を基本として構成される。

【0172】また、本実施例のAMLCDはブラックマスをアクティブマトリクス基板に設ける構成（BM on TFT）を採用するが、それに加えて対向側にブラックマスを設ける構成とすることも可能である。

【0173】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB（電界制御複屈折）モード、GH（ゲストホスト）モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0174】また、特開昭8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0175】〔実施例11〕本願発明の構成は、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用することができる。

【0176】AMLCD以外の電気光学装置としてはEL（エレクトロルミネッセンス）表示装置やイメージセンサ等を挙げることができる。

【0177】また、半導体回路としては、ICチップで構成されるマイクロプロセッサの様な演算処理回路、携帯機器の入出力信号を扱う高周波モジュール（MMICなど）が挙げられる。

【0178】この様に本願発明は絶縁ゲイト型TFTで構成される回路によって機能する全ての半導体装置に対して適用することが可能である。

【0179】〔実施例12〕実施例10に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

【0180】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯



情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図 1 5 に示す。

【0 1 8 1】図 1 5 (A) は携帯電話であり、本体 2 0 0 1、音声出力部 2 0 0 2、音声入力部 2 0 0 3、表示装置 2 0 0 4、操作スイッチ 2 0 0 5、アンテナ 2 0 0 6 で構成される。本願発明は音声出力部 2 0 0 2、音声入力部 2 0 0 3、表示装置 2 0 0 4 等に適用することができる。

【0 1 8 2】図 1 5 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明は表示装置 2 1 0 2、音声入力部 2 1 0 3、受像部 2 1 0 6 に適用することができる。

【0 1 8 3】図 1 5 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本願発明は受像部 2 2 0 3、表示装置 2 2 0 5 等に適用できる。

【0 1 8 4】図 1 5 (D) はヘッドマウントディスプレイであり、本体 2 3 0 1、表示装置 2 3 0 2、バンド部 2 3 0 3 で構成される。本発明は表示装置 2 3 0 2 に適用することができる。

【0 1 8 5】図 1 5 (E) はリア型プロジェクターであり、本体 2 4 0 1、光源 2 4 0 2、表示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本発明は表示装置 2 4 0 3 に適用することができる。

【0 1 8 6】図 1 5 (F) はフロント型プロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は表示装置 2 5 0 3 に適用することができる。

【0 1 8 7】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝公告用ディスプレイなどにも活用することができる。

【0 1 8 8】

【発明の効果】本願発明を利用することでゲート電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いる T F T においても、ゲート電極と活性層との間で生じるショートなどの不良を防止することができる。特に、ゲート電極からのアルミニウム原子の拡散を防ぎ、T F T 特性の低下を抑えた。

【0 1 8 9】また、ゲート絶縁膜に余計なダメージを与えることなく L D D 領域やオフセット領域を形成できるため、T F T の長期信頼性も向上する。

【0 1 9 0】また、アルミ材料を用いた配線を形成後、十分ゲッタリング可能な温度（6 0 0 ℃程度）の加熱処理を施し、処理時間の制限を受けることなく結晶性珪素

膜中の金属元素をゲッタリングする T F T の作製方法を得ることができる。また、同時にドーパントの活性化と、結晶構造の損傷を回復させることができる。この加熱処理により、素子特性の均一性が向上する。

【0 1 9 1】また、ニッケル元素を T F T の動作に影響が及ばないソース領域およびドレイン領域に固定しているので、高い特性を安定して得ることができる。また、多数の T F T を同時に作製した場合であっても特性のバラツキを少ないものとすることができる。

【0 1 9 2】本発明の構造とした場合におけるドーピング後の加熱工程（代表的には 4 5 0 ~ 7 0 0 ℃）では、  
1) チャネル形成領域及び高抵抗領域の金属元素濃度を低減するゲッタリング処理

2) ソース及びドレイン領域における不純物の活性化処理

3) イオン注入時に生じた結晶構造のダメージを回復するアニール処理

が同時に行われる。

【0 1 9 3】その結果、

- ・ 大幅な工程の簡略化
- ・ 耐圧やリーク電流特性の向上
- ・ 信頼性の向上
- ・ 素子毎におけるバラツキの低減

といった効果を得ることができる。

【0 1 9 4】このように、本発明は高い歩留りで信頼性の高い T F T を作製することができ、その様な T F T で構成される半導体回路で機能する電気光学装置並びにその様な半導体回路や電気光学装置を搭載した電子機器の歩留り向上が実現する。

【図面の簡単な説明】

【図 1】 T F T のゲート電極付近の構成を示す図。

【図 2】 T F T の作製工程を示す図。

【図 3】 T F T の作製工程を示す図。

【図 4】 T F T の作製工程を示す図。

【図 5】 アクティブマトリクス基板の構成を示す図。

【図 6】 実施例 3 における T F T の作製工程を示す図。

【図 7】 実施例 4 における T F T の作製工程を示す図。

【図 8】 実施例 5 における T F T の作製工程を示す図。

【図 9】 実施例 5 における T F T の作製工程を示す図。

【図 1 0】 実施例 5 における T F T の作製工程を示す図。

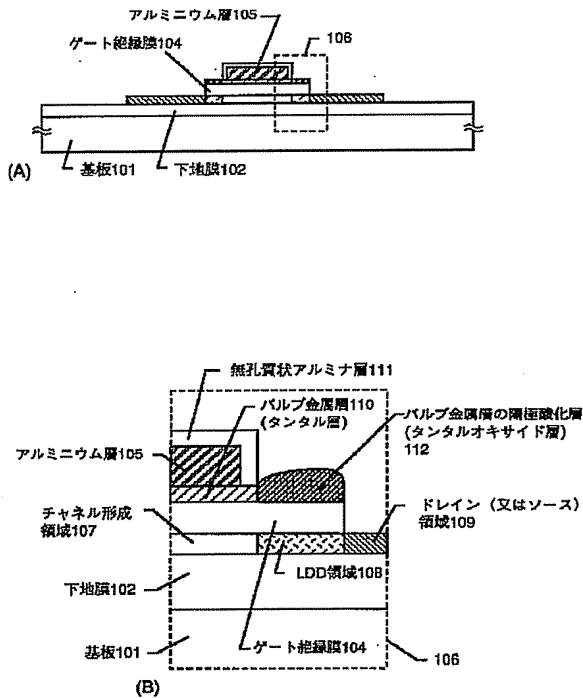
【図 1 1】 実施例 7 における T F T の構造を示す図。

【図 1 2】 実施例 8 における T F T の構造を示す図。

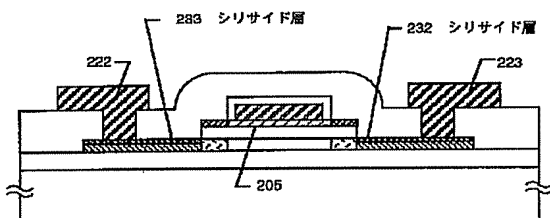


- 【図 1 3】 実施例 9 における T F T の構造を示す図。  
 【図 1 4】 A M L C D の構成を示す図。  
 【図 1 5】 電子機器の構成を示す図。  
 【図 1 6】 ゲート電極付近の構造を示す S E M 写真。  
 【図 1 7】 ゲート電極付近の構造を示す S E M 写真。  
 【図 1 8】 T F T の活性層中におけるニッケルとリンの濃度分布を示す図  
 【図 1 9】 加熱処理におけるアルミニウムの拡散状態を示す顕微鏡写真  
 【符号の説明】  
 1 0 1 基板

【図 1】

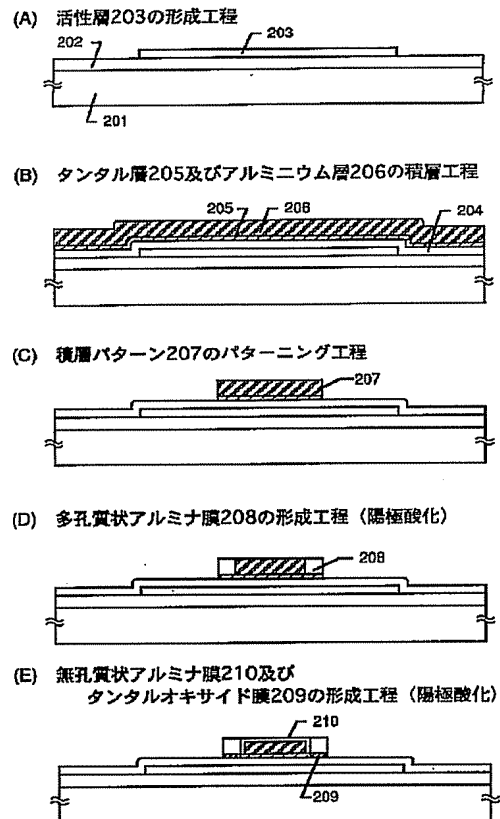


【図 1 1】



- 1 0 2 下地膜  
 1 0 4 ゲート絶縁膜  
 1 0 5 アルミニウム層  
 1 0 6 拡大領域  
 1 0 7 チャンネル形成領域  
 1 0 8 L D D 領域  
 1 0 9 ドレイン領域 (またはソース領域)  
 1 1 0 バルブ金属層 (タンタル層)  
 1 1 1 無孔質状アルミナ層  
 1 1 2 バルブ金属層の陽極酸化層 (タンタルオキサイド層)

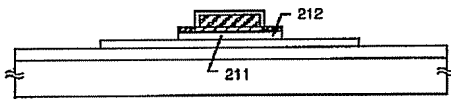
【図 2】



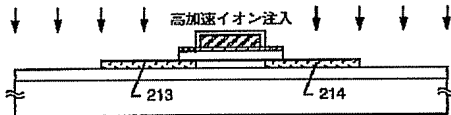
201: 基板 202: 下地膜 203: 活性層 204: ゲート絶縁膜  
 205: タンタル層 206: アルミニウム層 207: 積層パターン  
 208: 多孔質状アルミナ膜 209: タンタルオキサイド膜  
 210: 無孔質状アルミナ膜

【図 3】

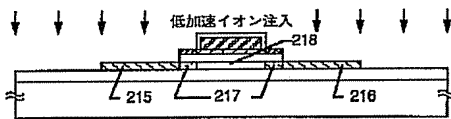
## (A) ゲート絶縁膜211形成工程



## (B) 高加速イオン注入工程



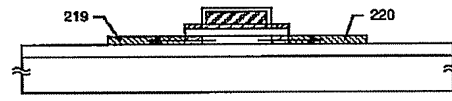
## (C) 低加速イオン注入工程



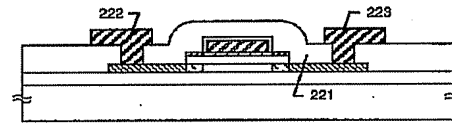
211: ゲート絶縁膜 212: GI端部213、214: 低濃度不純物領域  
215: ソース領域 216: ドレイン領域 217: LDD領域  
218: チャネル形成領域

【図 4】

## (A) 加熱によるゲッターリング工程

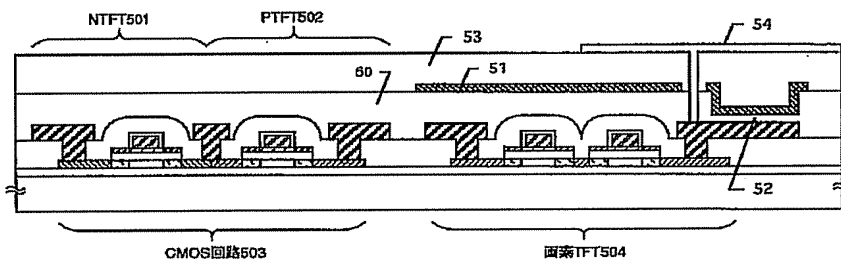


## (B) 層間絶縁膜221成膜工程及びソース/ドレイン電極形成工程



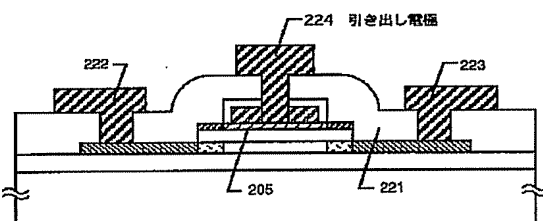
217: LDD領域 218: チャネル形成領域  
219: ソース領域 (金属イオン (Ni) を高濃度含む)  
220: ドレイン領域 (金属イオン (Ni) を高濃度含む)  
221: 層間絶縁膜 222: ソース電極  
223: ドレイン電極

【図 5】

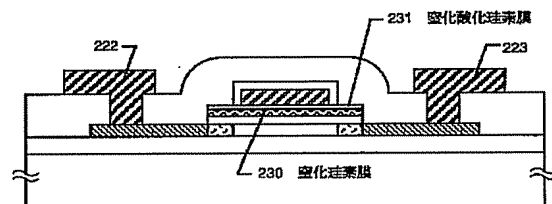


50: 第1の平坦化膜 51: ブラックマスク 52: 補助容量  
53: 第2の平坦化膜 54: 画素電極

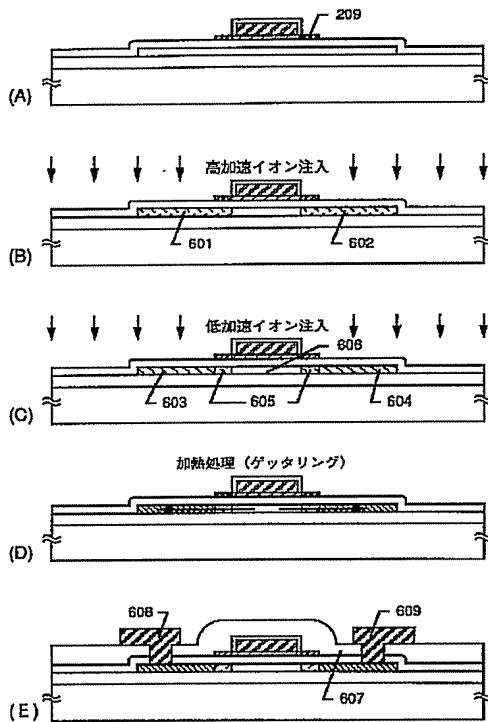
【図 12】



【図 13】



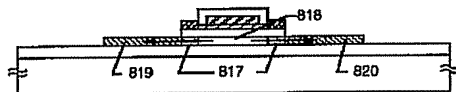
【図 6】



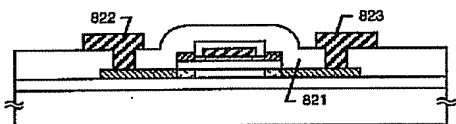
204: ゲイト絶縁膜 209: タンタルオキサイド層  
 601、602: 低濃度不純物領域 603: ソース領域  
 604: ドレイン領域 605: LDD領域 606: チャンネル形成領域  
 607: 層間絶縁膜 608: ソース電極 609: ドレイン電極

【図 10】

(A) 加熱によるゲッタリング工程

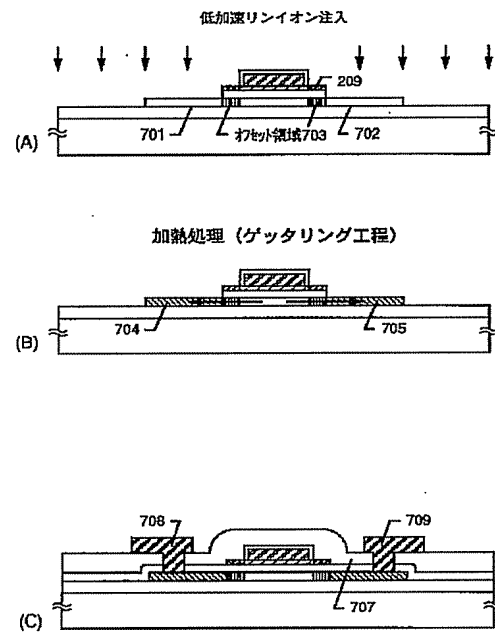


(B) 層間絶縁膜821成膜工程及びソース/ドレイン電極形成工程

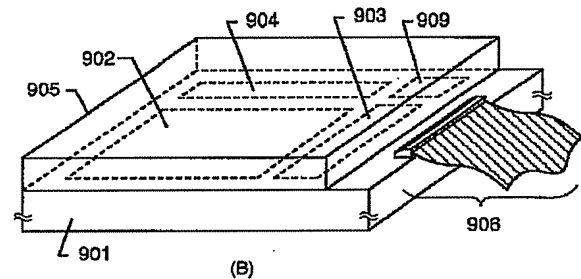
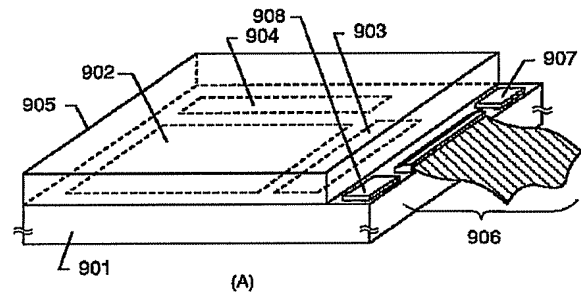


817: LDD領域 818: チャンネル形成領域  
 819: ソース領域 (金属イオン (Ni) を高濃度含む)  
 820: ドレイン領域 (金属イオン (Ni) を高濃度含む)  
 821: 層間絶縁膜 822: ソース電極  
 823: ドレイン電極

【図 7】



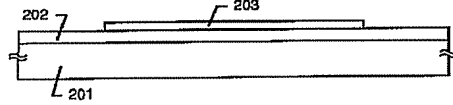
【図 14】



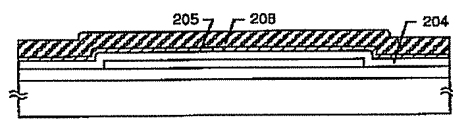
901: アクティブマトリクス基板 902: 画素マトリクス回路  
 903: ソース側駆動回路 904: ゲイト側駆動回路 905: 対向基板  
 906: FPC 907、908: ICチップ 909: ロジック回路

【図 8】

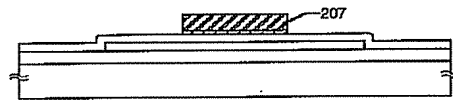
## (A) 活性層203の形成工程



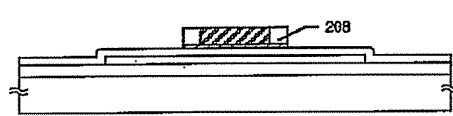
## (B) タンタル層205及びアルミニウム層206の積層工程



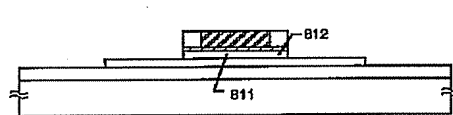
## (C) 積層パターン207のパターニング工程



## (D) 多孔質状アルミナ膜208の形成工程 (陽極酸化)

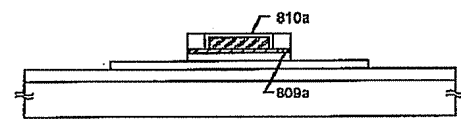


## (E) ゲート絶縁膜211形成工程

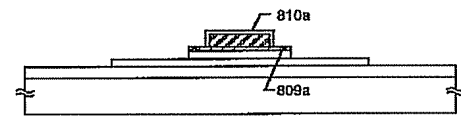
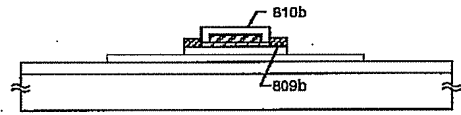


201: 基板 202: 下地膜 203: 活性層 204: 絶縁膜  
 205: タンタル層 206: アルミニウム層 207: 積層パターン  
 208: 多孔質状アルミナ膜 11: ゲート絶縁膜  
 812: G1 露部

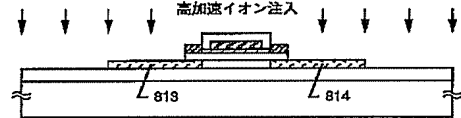
【図 9】

(A) 薄い無孔質状アルミナ膜810a及び  
タンタルオキサイド膜809aの形成工程 (陽極酸化)

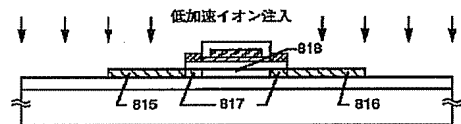
## (B) 多孔質状アルミナ膜の除去工程

(A) 厚い無孔質状アルミナ膜810b及び  
厚いタンタルオキサイド膜809bの形成工程 (陽極酸化)

## (C) 高加速イオン注入工程

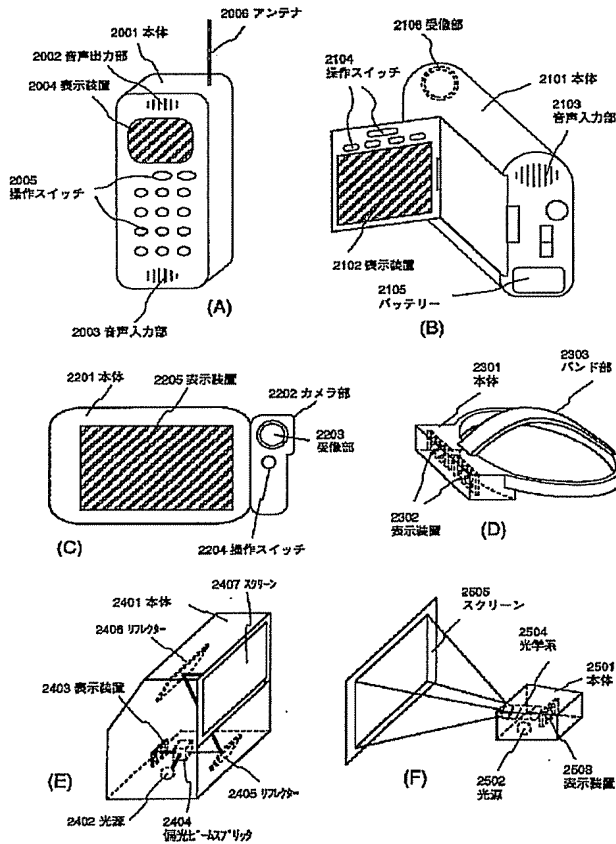


## (D) 低加速イオン注入工程

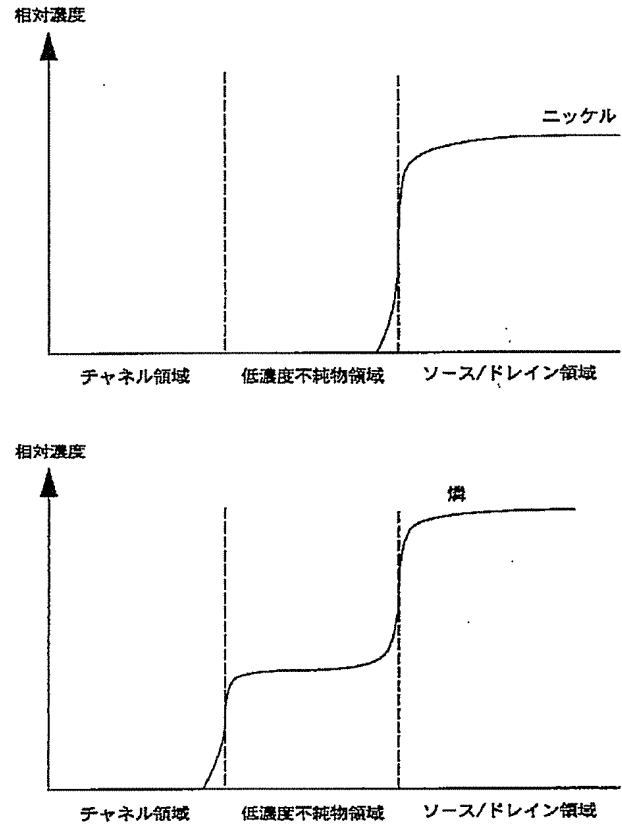


810a: 薄い無孔質状アルミナ膜 809a: 薄いタンタルオキサイド膜  
 810b: 厚い無孔質状アルミナ膜 809b: 厚いタンタルオキサイド膜  
 813、814: 低濃度不純物領域  
 815: ソース領域 816: ドレイン領域 817: LDD領域  
 818: チャネル形成領域

【図 15】



【図 18】



【図 17】



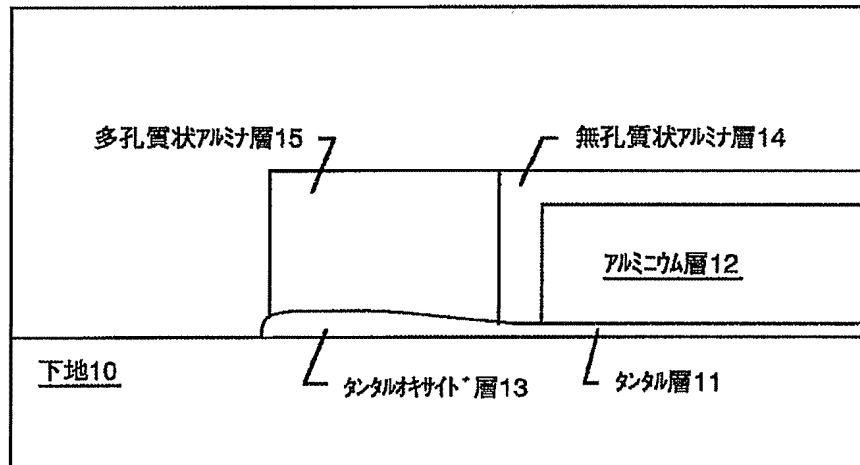
図面代用写真

【図 1 6】

## 図面代用写真

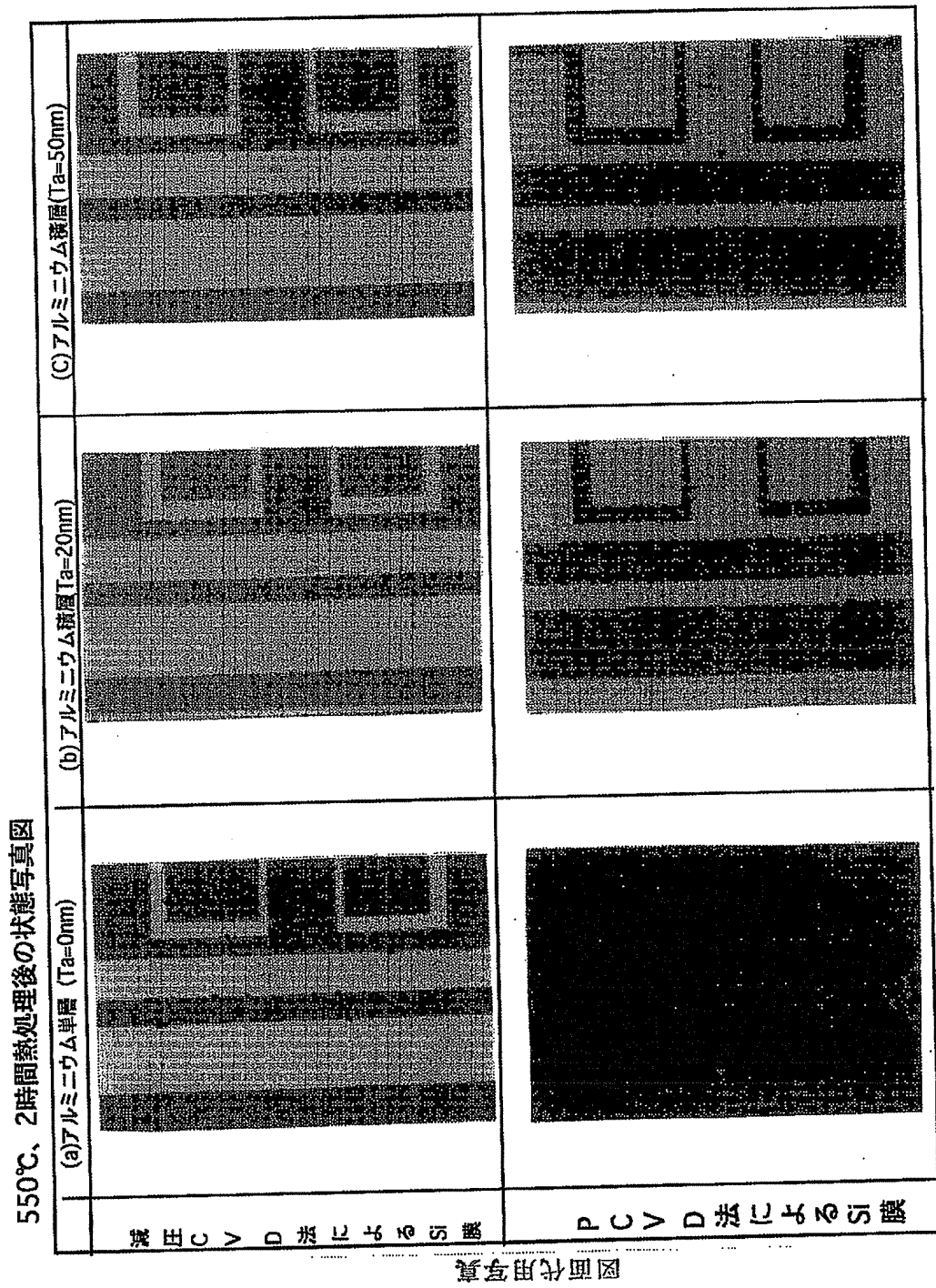


(A)



(B)

【図 1 9】



図面代用写真